

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許出願公告番号

特公平8-15143

(24) (44)公告日 平成8年(1996)2月14日

(51) Int.Cl.⁶
H 0 1 L 21/203

識別記号 庁内整理番号
Z 9545-4M

F I

技術表示箇所

発明の数1(全4頁)

(21)出願番号 特願昭61-249847
(22)出願日 昭和61年(1986)10月20日
(65)公開番号 特開昭63-102311
(43)公開日 昭和63年(1988)5月7日

(71)出願人 99999999
三洋電機株式会社
大阪府守口市京阪本通2丁目5番5号
(72)発明者 松本 昭一郎
大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内
(74)代理人 弁理士 河野 登夫
審査官 刑部 俊
(56)参考文献 特開 昭62-12697 (J P, A)
第33回応用物理学会学術講演会講演予稿
集 (1986) P. 635 2P-T-7

(54)【発明の名称】 3C-SiC半導体装置の製造方法

1

【特許請求の範囲】

【請求項1】 Si基板と3C-SiC単結晶との間に3C-SiC炭化バッファ層を備えた3C-SiC半導体装置の製造方法において、高真空中に保持した反応室内にて炭化水素ガスとSiとを反応させ、反応室内的Si基板上に3C-SiC炭化バッファ層を形成し、次いでSi基板温度を昇温してその上に3C-SiC単結晶バッファ層を形成したのち、Si基板温度を更に昇温して3C-SiC単結晶バッファ層形成時より速い速度で3C-SiC単結晶を形成することを特徴とする3C-SiC半導体装置の製造方法。

【発明の詳細な説明】

【産業上の利用分野】

本発明は、Si(シリコン)基板と3C(Cubic)-SiC(シリコンカーバイド)単結晶との間に3C-SiC炭化バ

2

ッファ層を備えた3C-SiC半導体装置を製造する方法に関する。

【従来の技術】

3C-SiC半導体装置は、第4図に示す如くSi基板1の上に3C-SiC炭化バッファ層2を形成したのち目的とする3C-SiC単結晶膜3を形成した構成としている。

このように炭化バッファ層を形成するのは、仮にSi基板上に3C-SiC単結晶を直接形成した場合は、Si基板と3C-SiC単結晶との格子定数が異なることにより3C-SiC単結晶に格子欠陥が発生し易いからであり、このため炭化バッファ層を形成することにより格子欠陥の発生を防止している。

【発明が解決しようとする問題点】

ところで、上述の3C-SiC半導体装置をCVD(Chemical Vapor Deposition)法を用いて成長させる場合、3C

-SiC炭化バッファ層2及び3C-SiC単結晶3を形成するときの基板温度は夫々1360°C, 1350°Cと高温である。

このため、3C-SiC炭化バッファ層2及び3C-SiC単結晶3へ反応系からの不純物が取込まれ易い。

また、Si基板1がその融点(1420°C)に近い温度となるため、Si基板1にスリップライン等の格子欠陥が発生して半導体装置が劣化し易くなる等の問題がある。

この問題は基板温度を低くすることにより解決できるが、基板温度を低くした場合は、成長速度を速くすると、成長膜が双晶、多結晶となって3C-SiC単結晶を成長させ得ず、3C-SiC単結晶を成長させるためには成長速度を遅くしなければならない。このため厚い3C-SiC単結晶の形成に長時間を要し、不利である。

また、基板温度が低い場合には、格子定数の違いに基づく格子欠陥が発生しやすい状態となる。

従って、CVD法による場合は、基板温度を低くするだけでは格子欠陥のない良質の3C-SiC半導体装置を製造できない。

本発明は斯かる事情に鑑みてなされたものであり、格子欠陥のない3C-SiC半導体装置を製造する方法を提供することを目的とする。

〔問題点を解決するための手段〕

本発明は、反応雰囲気を高真密度雰囲気とし、その雰囲気中で炭化水素ガスとシリコンとを反応させ、その反応生成物のSiCを比較的の低温度のSi基板上に層状に形成して3C-SiC半導体装置を製造する。

即ち、本発明に係る3C-SiC半導体装置の製造方法は、Si基板と3C-SiC単結晶との間に3C-SiC炭化バッファ層を備えた3C-SiC半導体装置の製造方法において、高真空中に保持した反応室内にて炭化水素ガスとSiとを反応させ、反応室内のSi基板上に3C-SiC炭化バッファ層を形成し、次いでSi基板温度を昇温してその上に3C-SiC単結晶バッファ層を形成したのち、Si基板温度を更に昇温して3C-SiC単結晶バッファ層形成時より速い速度で3C-SiC単結晶を形成することを特徴とする。

〔実施例〕

以下本発明を図面に基づき具体的に説明する。第1図は本発明の実施状態を示す模式図であり、図中10は化成分子線装置の釣鐘状の反応室を示す。反応室10の周面の一部は開口され、その開口部の外側には基板挿入、取出用の挿入室11が設けられており、挿入室11及び反応室10は図示しないポンプにて高真密度に真空引きされるようになっている。挿入室11より反応室10内へ挿入されたSi基板1は、反応室10の天井部分に設けられたマニピュレータ14にて高さ制御及び水平方向の回転制御がなされる基板ホルダ13に取付けられて所定位置で所定方向に向けてセットされ、また反応室外へ取出せるようになっている。基板ホルダ13のSi基板1取付部分にはヒータ(図示せず)が設けられており、Si基板1はこのヒータにより所定温度に加熱される。

セッテされたSi基板1の反応面と直交する方向の反応室10部分は、開口してその開口部に円筒の一端を取り付け、その他端を蓋で密封しており、その蓋にはKnudsenセル12及びガス噴出用ノズル15が設けられている。ノズル15はその先端を反応室10内に挿入してガス噴出方向をSi基板1の反応面に向いている。

ノズル15の基端は管を介して図示しないガスタンクに連結されており、ガスタンクには高純度炭化水素ガス、例えば純度が5nineのアセチレンガスが貯留されている。

ノズル15の先端とSi基板1とが対向する間のすぐ下にはるつぼ17が設けられており、るつぼ17には例えば純度が10nineの高純度シリコンが貯留されている。るつぼ17の近傍にはエレクトロニーム発生装置16が設けられており、エレクトロニーム発生装置16は電子(e-)を発生させてこれをるつぼ17内のシリコンに衝突させる。

反応室10の周面には、電子線発生装置18が電子線出射口を反応室内に挿入し、出射方向をシリコン基板1に向けて設けられており、反応室10の内壁にはスクリーン18aがSi基板1を通過した回折線を捉え得るように設けられている。電子線発生装置18とスクリーン18aとは電子線回折装置を構成し、電子線回折装置は成長膜の表面状態等を検出する。

また、反応室10の周面には基板ホルダ13近傍での分子線強度を測定する分子線強度測定装置(図示せず)及び質量分析計19が設けられており、質量分析計19は反応室内での分子、原子等の存在を確認するためのものである。

このように構成された装置による本発明の製造方法を次に説明する。

まず、マニピュレータ14にて基板ホルダ13を挿入室11近傍の基板取付可能位置にまで移動させ、Si基板1を挿入室11より挿入して基板ホルダ13上に取付ける。その後、マニピュレータ14により基板ホルダ13を移動させてセッテしたのち図示しないポンプを作動させて反応室10及び挿入室11の内部を真空引きする。

然る後、所定真密度に達すると基板ホルダ13のヒータ(図示せず)に通電してSi基板1の加熱を開始する。Si基板1の温度が1100°Cとなると暫くの間その温度に保持してSi基板1表面の清浄化を図る(第1工程)。

次いで、基板温度を降下させて炭化温度が安定化する750°C～820°Cの或る一定温度に基板温度を保持し、反応室10内へノズル15よりアセチレンガスを導入してアセチレンガス圧力を 7×10^{-6} Torrとした。この状態を5分間維持する(第2工程)。これにより、第2図に示す如く、Si基板1上に3C-SiC炭化バッファ層2が成長する。

この3C-SiC炭化バッファ層2は厚み方向各位置で組成が異なるが、上表面層は単結晶となっている。

然る後、基板温度を昇温させて1150°Cに保持し、反応

室10内へノズル15よりアセチレンガスを導入し、また同時にエレクトロニーム発生装置16を作動させてルツボ17内のシリコンを原子状態でSi基板1に照射する。このとき、分子線強度測定装置（図示せず）を監視してアセチレンの分子線強度（Ia）とシリコンの分子線強度（Ib）との比、つまり分子線強度比（Ia/Ib）を100以下とする（第3工程）。これにより、第2図に示す如く3C-SiC単結晶バッファ層4が30Å／分以下の遅い成長速度で形成される。この3C-SiC単結晶バッファ層4は3C-SiC炭化バッファ層2の表面が粗いため、3C-SiC単結晶バッファ層4の上に成長させる層の厚みを均一にすべく、上表面を平滑に形成する。3C-SiC単結晶バッファ層4の平滑度は前記電子線回折装置にて検出される。

3C-SiC単結晶バッファ層4をその上表面が平滑になるように形成した後、基板温度を更に上昇して1200°Cに保持し、上記分子線強度比を100以下とする（第4工程）。これにより第2図に示す如く3C-SiC単結晶3が3C-SiC単結晶バッファ層4のときよりも速い100Å／分以下の成長速度で形成される。

この3C-SiC単結晶3が所望厚形成されるとアセチレンガス及びシリコンの反応室10内への供給等を停止し、反応を終了する。

第3図は上述の本発明の各工程での基板温度を示すグラフであり、横軸に時間をとり、縦軸に基板温度（°C）をとって示している。

この図より理解される如く本発明による場合は、高真空中で層成長を行うので、基板温度が低くても格子欠陥なしに3C-SiC炭化バッファ層2、3C-SiC単結晶バッファ層4及び3C-SiC単結晶を形成することができる。また基板温度を低くできることで製造された半導体装置は*30

* 反応系から取込まれる不純物量が少なく、またスリップライン等の格子欠陥がない。

なお、上記実施例では化成分子線装置の反応室内にシリコン源を予め入れておき、層成長を行っているが、本発明はこの装置を使用せずともよく、例えば高真空中で反応室内を保持できる半導体製造装置の反応室内へ外部からSiを含むガス（例えば、SiH₄、SiHCl）と炭化水素ガス（例えばC₂H₆）とを供給しても実施できる。尚、この場合、ソース源の種類によって、最適成長温度や分子線強度比は異なる。

また、ガスソースを或る高い温度で加熱することにより、安定な分子状態から活性な分子状態にクラッキングさせた後に供給しても、3C-SiC単結晶層の生成が可能であり、成長温度も当然低温化される。

【効果】

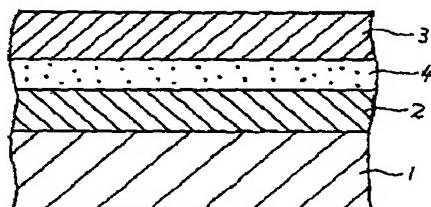
以上詳述した如く、本発明による場合には高真空中で層成長を行うので、基板を比較的低い温度にした状態で各層を成長させ得、このため反応系から各層へ取込まれる不純物量を減少でき、また格子欠陥の発生を防止できる。更に、3C-SiC単結晶バッファ層を形成するので、3C-SiC単結晶の表面を平滑にできる等、本発明は優れた効果を奏する。

【図面の簡単な説明】

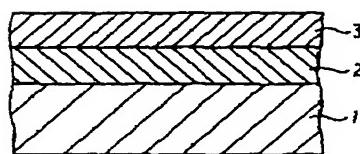
第1図は本発明の実施状態を示す模式図、第2図は本発明により製造した半導体装置の断面構造図、第3図は本発明による場合の基板温度の推移を示すグラフ、第4図は従来装置の断面構造図である。

1 …… Si基板、2 …… 3C-SiC炭化バッファ層、3 …… 3C-SiC単結晶、4 …… 3C-SiC単結晶バッファ層、10 …… 反応室

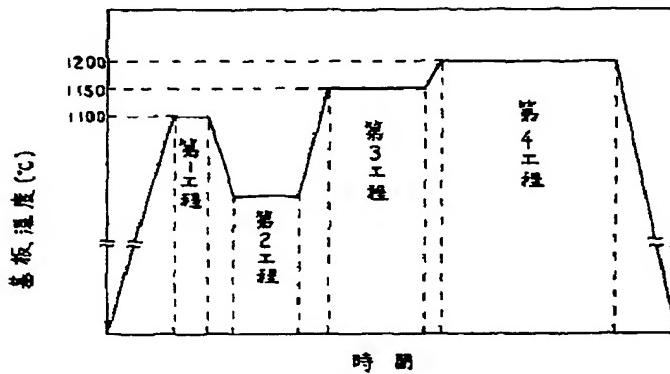
【第2図】



【第4図】



【第3図】



【第1図】

